

(11)特許出願公開番号

(43)公開日 平成7年(1995)3月10日

審査請求 未請求 請求項の数5 F D (全 16 頁)

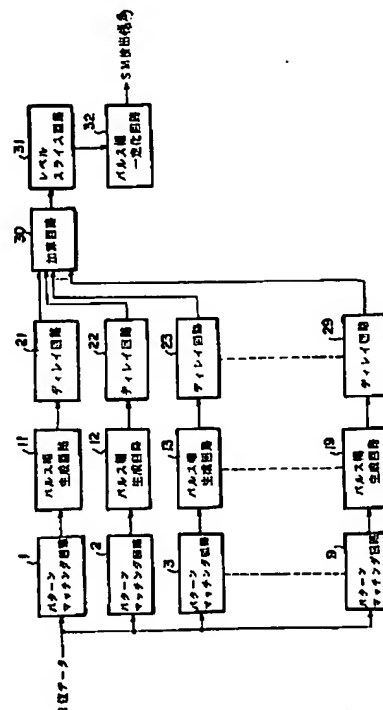
(21)出願番号	特願平5-235816	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成5年(1993)8月27日	(72)発明者	里村 誠一郎 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	弁理士 山下 穰平

(54) 【発明の名称】 同期マーク検出装置及び情報再生装置

(57) 【要約】

【目的】 クロック周波数誤差が大きくても同期マークを検出できるようにし、また再生ヘッドが間違った位置にシークしても速やかにその位置のアドレスを読み取って再シークできるようにする。

【構成】 同期マークパターンのマーク長及びスペース長がマッチングしているかどうかパターンマッチングを行うパターンマッチング回路１～９と、この回路の出力を所定幅のパルス信号に整形するパルス幅生成回路１１～１９と、この回路の出力信号を各々タイミングが一致するように遅延させるディレイ回路２１～２９と、この回路の出力信号を合成し、その結果から同期マークパターンの一致度を判定する回路３０～３２を設ける。また、以上の同期マーク検出装置をＺＣＡＶ方式の情報再生装置に用いる。更に、同期マーク検出信号の間隔を測定し、測定結果に基づいて基準クロックの周波数を切り換える。



## 【特許請求の範囲】

【請求項 1】 同期マークパターンの 2 値データを非同期のクロックでサンプリングしてマーク長及びスペース長がマッチングしているかどうかパターンマッチングを行うためのパターンマッチング手段と、このパターンマッチング手段からマーク長、スペース長がマッチングしたときに出力される信号を所定幅のパルス信号に整形するためのパルス幅生成手段と、この各パルス幅生成手段の出力信号を各々のタイミングが一致するように遅延させるための遅延手段と、この各遅延手段の出力信号を合成し、その結果から同期マークパターンの一致度を判定するための手段とを有することを特徴とする同期マーク検出装置。

【請求項 2】 前記パターンマッチング手段は、前記非同期のクロックで同期マークパターンの 2 値データを取り込むためのシフトレジスタを有し、該シフトレジスタには前記非同期のクロックの周波数誤差を許容するための所定数の空き端子が設けられていることを特徴とする請求項 1 の同期マーク検出装置。

【請求項 3】 前記パルス幅生成手段は、前記非同期のクロックの周波数誤差を許容するように、パルス信号の遅延量が長いほど該パルス信号のパルス幅を広くすることを特徴とする請求項 1 の同期パターン検出装置。

【請求項 4】 ディスク状記録媒体の記録領域を複数のゾーンに分割し、このゾーンに対応してそれぞれ異なるクロック周波数で情報を再生する情報再生装置において、同期マークパターンの 2 値データを非同期のクロックでサンプリングしてマーク長及びスペース長がマッチングしているかどうかパターンマッチングを行うためのパターンマッチング手段と、このパターンマッチング手段からマーク長、スペース長がマッチングしたときに出力される信号を所定幅のパルス信号に整形するためのパルス幅生成手段と、この各パルス幅生成手段の出力信号を各々のタイミングが一致するように遅延させるための遅延手段と、この各遅延手段の出力信号を合成し、その結果から同期マークパターンの一致度を判定するための手段とからなる同期マーク検出手段とを設け、情報の読み取り位置が隣接ゾーンへ移行する場合は、前記クロック周波数を隣接ゾーンに対応した周波数に切り換えながら前記同期マーク検出手段で隣接ゾーンの同期マークを検出することを特徴とする情報再生装置。

【請求項 5】 複数の伝送周波数に対応してそれぞれ異なる周波数の基準クロックを発生するクロック発生手段と、この基準クロックをカウントすることによって伝送信号中の同期マークを検出する同期マーク検出手段と、この同期マークを基準として伝送信号の再生位置を決定し、かつ前記基準クロックによって伝送された情報を再生する再生手段とを有する情報再生装置において、前記同期マーク検出手段で検出される同期マーク検出信号の間隔を前記基準クロックをカウントすることによって検

出するための手段と、この検出された間隔が所定の基準範囲内にあるか否かを判定し、その結果に基づいて前記クロック発生手段の基準クロックの周波数を切り換えるための手段とを設けたことを特徴とする情報再生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、記録媒体の同期マークを検出する同期マーク検出装置及び記録媒体のデジタル情報を再生する情報再生装置に関するものである。

## 【0002】

【従来の技術】図 1 2 はセクタフォーマットの一例として ISO 規格に規定された 130 mm あるいは、90 mm 書き換え型光ディスクのセクタフォーマットを示した図である。また、図 1 3 はそのセクタフォーマットの先頭のセクタマーク (SM) のパターンの例を示した図である。光ディスクの記録領域は図 1 2 のような複数のセクタに分割されており、各セクタの先頭にはセクタの先頭を認識するために所定の同期マーク (セクタマーク) が設けられている。図 1 3 のセクタマークのパターンについては、ISO 規格などで周知であるので、説明は省略するが、こうしたセクタマークはセクタの先頭を示すマークであるので、セクタマークが検出できないとそのセクタでは記録、消去、再生あるいはシークができなくなってしまう。そのため、セクタマークはいかなる場合でも正しく検出することが要求される。

【0003】図 1 4 は 130 mm 追記型光ディスクの ISO 規格のテクニカルレポートに記載されたセクタマーク検出回路、図 1 5 はそのセクタマーク検出回路の動作を示した図である。このセクタマーク検出方法は簡易ながら確実な方法であり、最も一般的な方法として知られている。簡単に説明すると、まず光ディスクから読み出された再生信号から 5 T のマークと 3 T のマークが 5 箇所それぞれ検出される。そして、その検出結果を加算し、多数決論理によって 5 箇所のうち 3 箇所以上検出されていればセクタマークとして認識され、そのときに SM 検出信号が出力される。

【0004】ここで、図 1 5 のセクタマークのパターンの数値は図 1 3 に示したパターンの半分になっているが、これは図 1 5 の T の長さが図 1 3 の T の長さの 2 倍になっているためである。ということは、図 1 5 のパターンマッチングは本来の記録クロックの 2 倍の粗さでマッチングしているということであり、そのおかげで後述するように周波数誤差及び位相誤差に対していくらかのマージンを確保できるようになっている。

【0005】ところで、ディスク状記録媒体の記録密度を高めるための方式として ZCAV (Zoned Constant Angular Velocity) 方式が知られている。こうした ZCAV 方式では、記録ディスクの記録領域は半径方向に複数のゾーンに分割され、1 つのゾーン内では同じ記録周波数で記録される。そして、記録ディスクの内周と外周

で記録密度が均一となるように、外周のゾーンほど周波数を高くして情報を記録あるいは再生するというものである。図16はそのZCAV方式の情報再生装置の例を示したブロック図である。

【0006】図16において、記録ディスク101はZCAVフォーマットのディスクであり、このディスク上の記録情報を再生する場合は、コントローラ111によって記録ディスク101のどのゾーンのデータを再生するかが駆動・サーボ手段112及びシンセサイザ105へ指示される。駆動・サーボ手段112では図示しない再生ヘッドを指示されたゾーンのトラックヘシークさせると共に、シンセサイザ105のクロックの周波数が指示されたゾーンに対応した周波数に切り換えられる。ここで、再生ヘッドを目的のトラックヘシークさせる場合は、図12に示したセクタのヘッダーの情報が読み出され、目的のトラックやセクタであるかどうかを比較照合しながら目的の位置ヘシークされる。

【0007】具体的に説明すると、SM検出回路107では図13のセクタマークが検出され、AM・SYNC・BESYNC検出回路109ではそのSM検出信号を基準としてAMやSYNCなどが検出される。また、データセパレータ106ではシンセサイザ105のクロックを受けて2値化回路104の再生2値データから同期クロックが生成され、そのクロックで再生2値データが同期化される。同期化されたデータは復号回路108で復号され、アドレス情報が再生される。得られたアドレス情報はコントローラ111及び駆動・サーボ手段112へ通知され、駆動・サーボ手段112では目的のアドレスと比較照合して再生ヘッドの読み取り位置が目的のアドレスに位置決めされる。

【0008】シーク動作が終了すると、記録ディスク101の目的のアドレスのデータ、即ち図12のデータ領域(Recording Field)のデータが再生される。データの再生に際しては、信号検出手段102で再生信号が検出され、アンプ103でそれを増幅した後、2値化回路104で2値化される。得られた再生2値データはデータセパレータ106へ送られ、データセパレータ106ではSM検出回路107のSM検出信号を基準としてデータ領域の先頭位置が検出される。また、データセパレータ106ではシンセサイザ105のクロックを受けて2値化再生データから同期クロックが生成され、そのクロックを用いて再生2値データが同期化される。同期化されたデータは復号回路108で復号され、また誤り訂正回路110で誤り訂正コードを付加することによって再生データが生成される。

【0009】

【発明が解決しようとしている課題】ところで、図16に示した情報再生装置において、記録ディスクのゾーン境界でシンセサイザのクロック周波数を切り換える場合について考えてみると、データセパレータは通常は数%

のクロック周波数誤差が生じてても正常に働くことが多い。しかし、SM検出回路はシンセサイザの非同期クロックで信号をサンプリングするために、数%のクロック周波数誤差が生じるとSMを正しく検出できなくなってしまう。例えば、図15において、SMの左端の5Tの検出結果と右端の5Tの検出結果を合成するためには、30Tのディレイ手段が必要であり、30Tに対して許される誤差は0.5Tである。この0.5Tは前述のように本来の記録ブロックの2倍の粗さでマッチングすることによりマージンとして確保されたものである。従って、周波数誤差が1.67%(0.5T/30T)を越ええると、SMを正しく検出できなくなる恐れがある。

【0010】そこで問題となるのは、シンセサイザの応答時間であるが、通常シンセサイザは周波数の切り換えの指示を受けてからその周波数の安定したクロックを出力できるようになるまでに、数msecという時間を必要とする。ということは、ゾーンが変わるとシンセサイザのクロック周波数が切り換わるまでの数msecの間はSMを検出できず、セクタのアドレスを読めないということである。そのため、特にゾーンの境界付近のセクタをアクセスする場合は、シンセサイザのクロック周波数が安定するまではセクタマークを検出することは困難であり、データを再生できないという問題があった。

【0011】また、図16の情報再生装置では、シンセサイザのクロック周波数はコントローラの指示によって切り換えられるのであるが、再生ヘッドをシークさせる場合は、コントローラでは現在の記録ディスク上のアドレスと目的のアドレスを見比べて、シーク途中にSMの検出やアドレスの検出ができるようにシンセサイザのクロック周波数が随時切り換えられる。しかし、シークが正常に行われているときはこれで問題はないのであるが、何らかのトラブルが生じて目的のアドレスと違うアドレスにシークした場合には、再生信号の周波数とシンセサイザのクロック周波数の差が大きいとアドレスを読み取ることができなくなるために、シーク不能に陥ることがある。

【0012】そこで、こうした状態に陥った場合、何とかアドレスを読み取るようにするためには、シンセサイザの周波数を順次切り換えてアドレスを再生できるクロック周波数を捜し出す方法が考えられる。そして、得られた周波数でアドレスを読み取って現在位置を認識し、その結果に基づいて改めて目的のアドレスに再シークを行えばよい。しかし、こうした方法では、シンセサイザの周波数を順次切り換えてアドレスを再生できる周波数を捜すために、クロック周波数を切り換える動作と切り換えた周波数でアドレスを読み出す動作を繰り返す必要があり、クロック周波数の検索に膨大な時間を要するという問題があった。

【0013】本発明は、上記従来の問題点に鑑みなされたもので、その目的はクロック信号の周波数誤差が大き

5

くても同期パターンを正しく検出できるようにした同期マーク検出装置を提供することにある。

【0014】また、本発明の目的は上記同期マーク検出装置を用いることにより、クロック周波数を切り換える場合に、周波数誤差があっても隣接ゾーンの同期マークを検出できるようにし、これによってゾーン境界付近のシークや再生をスムーズに行えるような情報再生装置を提供することにある。

【0015】更に、本発明の目的は、再生ヘッドが間違った位置にシークした場合に、クロック周波数を切り換えて速やかにその位置のアドレスを読み取ることができるようにした情報再生装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の目的は、同期マークパターンの2値データを非同期のクロックでサンプリングしてマーク長及びスペース長がマッチングしているかどうかパターンマッチングを行うためのパターンマッチング手段と、このパターンマッチング手段からマーク長、スペース長がマッチングしたときに出力される信号を所定幅のパルス信号に整形するためのパルス幅生成手段と、この各パルス幅生成手段の出力信号を各々のタイミングが一致するように遅延させるための遅延手段と、この各遅延手段の出力信号を合成し、その結果から同期マークパターンの一致度を判定するための手段とを有することを特徴とする同期マーク検出装置によって達成される。

【0017】また、本発明の目的は、ディスク状記録媒体の記録領域を複数のゾーンに分割し、このゾーンに対応してそれぞれ異なるクロック周波数で情報を再生する情報再生装置において、同期マークパターンの2値データを非同期のクロックでサンプリングしてマーク長及びスペース長がマッチングしているかどうかパターンマッチングを行うパターンマッチング手段と、このパターンマッチング手段からマーク長、スペース長がマッチングしたときに出力される信号を所定幅のパルス信号に整形するためのパルス幅生成手段と、この各パルス幅生成手段の出力信号を各々のタイミングが一致するように遅延させるための遅延手段と、この各遅延手段の出力信号を合成し、その結果から同期マークパターンの一致度を判定するための手段とからなる同期マーク検出手段とを設け、情報の読み取り位置が隣接ゾーンへ移行する場合は、前記クロック周波数を隣接ゾーンに対応した周波数に切り換えながら前記同期マーク検出手段で隣接ゾーンの同期マークを検出することを特徴とする情報再生装置によって達成される。

【0018】更に、本発明の目的は、複数の伝送周波数に対応してそれぞれ異なる周波数の基準クロックを発生するクロック発生手段と、この基準クロックをカウントすることによって伝送信号中の同期マークを検出する同期マーク検出手段と、この同期マークを基準として伝送

6

信号の再生位置を決定し、かつ前記基準クロックによって伝送された情報を再生する再生手段とを有する情報再生装置において、前記同期マーク検出手段で検出される同期マーク検出信号の間隔を前記基準クロックをカウントすることによって検出するための手段と、この検出された間隔が所定の基準範囲内にあるか否かを判定し、その結果に基づいて前記クロック発生手段の基準クロックの周波数を切り換えるための手段とを設けたことを特徴とする情報再生装置によって達成される。

【0019】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。図1は本発明の同期マーク検出装置の一実施例を示したブロック図である。図1において、1～9はそれぞれセクタマークの各パターンのパターンマッチングを行うためのパターンマッチング回路である。ここでは、図13に示したセクタマークのパターンに対応して9つのパターンマッチング回路が設けられている。また、2値データは図16に示した情報再生装置の2値化回路104から出力されるデータである。11～19は各パターンマッチング回路の出力信号をそれぞれ所定幅のパルス信号に生成するためのパルス幅生成回路、21～29はそれぞれのパルス幅生成回路11～19で生成されたパルス信号をタイミングが一致するように遅延させるためのディレイ回路である。また、30は各ディレイ回路の出力信号を加算するための加算回路、31は加算回路30の出力信号を所定のスライスレベルでスライスするためレベルスライス回路、32はレベルスライス回路31の出力信号を所定の一定幅のパルス信号に整形するためのパルス幅一定化回路である。このパルス幅一定化回路32の出力信号がSM検出信号として出力される。

【0020】図2はパターンマッチング回路1の具体的構成を示した回路図である。パターンマッチング回路1はセクタマークの先頭の10Tマークのパターンマッチングを行うもので、33はシフトレジスタ、34はインバータ、35はアンドゲートである。図16に示した2値化回路104の2値化データはシフトレジスタ33に入力され、シンセサイザ105のクロックによって取り込まれる。シフトレジスタ33はQ1～Q13の13の出力端子を有するもので、両端の出力端子Q1及びQ13の出力信号は直接アンドゲート35に出力され、それ以外の出力端子Q2～Q10の出力信号はインバータ34を介してアンドゲート35へ出力される。なお、出力端子Q11及びQ12は空き端子であり、これは後述するようにシンセサイザ105のクロックの周波数誤差を許容するために設けられている。以上の構成により、パターンマッチング回路1では10Tのマークの2値データが入力されたときに、アンドゲート35からパターンがマッチングしたことを示すハイレベル信号が出力される。2値データとしては、“0”の部分マーク部と

し、“1”の部分スペース部とする。また、シフトレジスタ33のクロックはシンセサイザ105で生成されるため、サンプリングクロックとしては位相が非同期であるばかりでなく、周波数誤差もある信号である。

【0021】パターンマッチング回路2は後述するように10Tマークの次の6Tスペースのパターンマッチングを行う回路であるので、そのスペース長に応じてシフトレジスタも出力端子の数が9個のものが使用されている。また、パターンマッチング回路2はスペースのパターンマッチングを行うので、図2とは反対にシフトレジスタの両端の出力端子の出力信号がインバータを介してアンドゲートに出力され、それ以外の出力端子の出力信号が直接アンドゲートに出力される。もちろんシフトレジスタの2ビットは空き端子である。また、パターンマッチング回路3～9についても、マッチング対象のパターンのマーク長、スペース長に応じてシフトレジスタのビット数が決められている。更に、対象のパターンがマークかスペースかでシフトレジスタの出力とアンドゲートの間のインバータの位置が決められている。即ち、対象がマークであるときは図2に示したようにシフトレジスタの両端を除く出力端子の出力信号がインバータを介して出力され、対象がスペースであるときは図2とは反対にシフトレジスタの両端の出力端子の出力信号のみがインバータを介してアンドゲートに出力するように構成されている。なお、いずれのパターンマッチング回路においても、シフトレジスタの2つのビットはクロックの周波数誤差を許容するため空き端子である。

【0022】次に、上記実施例の具体的な動作を図3に基づいて説明する。図3において、まず2値データは図13に示したセクタマークのパターンを図16の情報再生装置の信号検出手段102で再生し、それを2値化回路104で2値化したものである。ここでは、前述のように2値データの“0”の部分マーク、“1”の部分スペースである。この2値データが入力されると、パターンマッチング回路1ではセクタマークの先頭における10Tのマークのパターンマッチングが行われる。即ち、10Tのマークの2値データは図3に示すように1x0000000001であるが、図2のパターンマッチング回路1ではこの2値データが入力されたときに、アンドゲート35からセクタマークの10Tのマーク長とマッチングすることを示すハイレベル信号が出力される。

【0023】つまり、シフトレジスタ33でシンセサイザ105のサンプリングクロックにより2値データを取り込み、またその出力をインバータ34とアンドゲート35を介して出力することによって、図3のように1x0000000001という10Tのマークのパターンが検出される。ここで、xはシフトレジスタ33の空き端子に相当するもので、1と0のどちらでもよいビットである。このビットを設けたことによって、シンセサイザ105のサンプリングクロックに周波数誤差があっても、10T

のマークを検出することができる。ここでは、10Tに対して $\pm 1T$ 以内の誤差であれば必ず検出できるので、許容されるクロックの周波数誤差は $1/10=10\%$ ということになる。

【0024】パターンマッチング回路2では、10Tの次の6Tスペースのパターンマッチングが行われる。6Tスペースの2値データは図3のように0x111110であり、パターンマッチング回路2にこの2値データが入力されたときに、パターンのマッチングを示すハイレベル信号が出力される。この場合も、xを設けたことによって6T $\pm 1T$ 以内の誤差であれば、6Tスペースのパターンを検出することができる。

【0025】パターンマッチング回路3では図3に示すようにその次の6Tマークのパターンマッチングが行われ、以下同様にパターンマッチング回路4では14Tスペース、パターンマッチング回路5では6Tマーク、パターンマッチング回路6では6Tスペース、パターンマッチング回路7では6Tマーク、パターンマッチング回路8では6Tスペース、パターンマッチング回路9では10Tマークのパターンマッチングが行われる。こうして各パターンマッチング回路では、図3に示すように2値データをサンプリングクロックで取り込むことによってセクタマークパターンのマーク長やスペース長のパターンマッチングが行われる。

【0026】パターンマッチング回路1の出力信号はパルス幅生成回路11へ出力され、所定幅のパルス信号に波形整形される。この場合、パルス幅生成回路11の出力信号は後述するようにディレイ回路21で遅延された後、他のパターンマッチング回路からの信号と加算されるのであるが、ディレイの長さが長いほどディレイ量との位相誤差が大きくなり、信号同志を加算するときに時間的なずれを生じることがあるので、ディレイ量が大きいほどパルス幅を広くするのが望ましい。ここでは、パルス幅生成回路11では図3に示すように5Tの幅のパルス信号が生成される。

【0027】パターンマッチング回路2～9の出力信号もそれぞれ対応するパルス幅生成回路12～19へ出力され、各々所定幅のパルス信号が生成される。本実施例では図3に示すように、パルス幅生成回路12～14ではディレイ量が長いので、パルス幅生成回路11と同様に5T幅のパルス信号が生成され、パルス幅生成回路15～18ではディレイ量が比較的短いので3T幅のパルス信号が生成される。また、パルス幅生成回路19ではディレイの必要がないので、図3のように最小の1T幅のパルス信号が生成される。なお、図1ではパルス幅生成回路19の出力信号を遅延させるディレイ回路29が設けられているが、その遅延量は零である。

【0028】パルス幅生成回路11～19のパルス信号は、それぞれ対応するディレイ回路21～29に入力され、図3に示すように各パルス信号のタイミングが合致

するように遅延される。そして、各ディレイ回路 21 ~ 29 の 9 つの出力信号は加算回路 30 に入力され、図 3 に示すように 9 つの出力信号が加算される。以上の 9 つの幅の異なるパルス信号を加算した場合、クロックの周波数誤差がなければ、加算回路 30 の出力信号は図 3 のように中央に行くほど高くなる山形状の信号となる。

【0029】加算回路 30 の出力信号はレベルスライス回路 31 へ送られ、ここで図 3 に示すように所定のスライスレベルでスライスされる。本実施例では、スライスレベルは図 3 のように加算回路 30 の出力の 6 個分と 5 個分の中間値（1 個分はパルス幅生成回路の 1 つの出力に相当する）に設定されており、これによってスライスすると図 3 のように 3 T 幅のパルス信号を得ることができる。従って、ここではセクタマークパターンの 9 つのマークとスペースのうち 6 個以上を検出できれば、セクタマークを検出することができる。レベルスライス回路 31 の出力信号はパルス幅一定化回路 32 で図 3 に示すように立ち上がりエッジを基準とした一定幅のパルス信号に整形され、SM 検出信号として出力される。

【0030】本実施例では、パルス幅生成回路 11 で作成されるパルス信号（5 T）は通常の 1 T よりも  $\pm 2$  T だけ広い幅を持つので、ディレイ回路 21 のディレイ量 60 T に対して  $\pm 2$  T の誤差、即ち約 3.3 % のクロックの周波数誤差を許容することができる。同様にパルス幅生成回路 15 で作成されるパルス信号（3 T）も通常よりも  $\pm 1$  T だけ広い幅を持つので、ディレイ回路 25 のディレイ量 28 T に対して  $\pm 1$  T の誤差、即ち約 3.5 % のクロックの周波数誤差を許容することができる。そのほかについても、更に大きな周波数誤差を許容することができる。よって、本実施例の全体としては、3.3 % の周波数誤差を許容することができる。なお、周波数誤差が 3.3 % に近づくと、レベルスライス出力の山の形状が左右に歪んで SM 検出信号が 1 T ~ 2 T 程度前後にずれるが、情報再生装置では SM 検出信号の検出誤差として通常 4 ~ 5 チャネルクロック程度は許容されるので、問題はない。

【0031】図 4 は本発明の同期マーク検出装置の他の実施例を示したブロック図である。この実施例は、セクタマークのパターンは図 3 に示したように、10 T マークは 2 つ、6 T マーク及び 6 T スペースはそれぞれ 3 つあるので、これらの共通部分に対応してパターンマッチング回路を共通化した例である。従って、本実施例では 10 T マーク、6 T マーク、6 T スペースに対応した 3 種類のパターンマッチング回路と、14 T スペースに対応した 1 種類のパターンマッチング回路があればよいので、回路、構成を大幅に簡単化することができる。図 4 のパターンマッチング回路 36 は 6 T スペース、パターンマッチング回路 37 は 6 T マークのパターンマッチングを行うための回路である。また、図示していないが、10 T マーク及び 14 T スペースのパターンマッチング

回路も設けられている。そのほかの構成は図 1 と全く同じである。

【0032】図 5 は本発明の同期マーク検出装置の更に他の実施例を示したブロック図である。この実施例は、パルス幅生成回路とディレイ回路の順序を入れ換えてディレイ回路を先に設けるようにした例である。図 1 では説明を分かり易くするためにパルス幅生成回路を先に設けたが、実際には本実施例のようにディレイ回路を先に設けた方がディレイ回路としてカウンタを用いることができるので、回路構成を簡単化することができる。

【0033】次に、本発明の情報再生装置の実施例について説明する。ここでは、以上の実施例で説明した同期マーク検出装置を用いたときの実施例について説明する。従って、情報再生装置としては図 16 の構成とし、それに図 1、図 4 あるいは図 5 の同期マーク検出装置を SM 検出回路として用いるものとする。

【0034】このように ZCAV 方式の情報再生装置に本発明の同期マーク検出装置を使用した場合、再生ヘッドの読み取り位置が次のゾーンに移行するとき、前述のようにシンセサイザ 105 のクロック周波数が切り換えられ、安定したクロック周波数になるまでに時間を要するのであるが、本実施例では許容できるクロック周波数の誤差が従来よりも大幅に大きいので、クロック周波数が切り換え途中であっても隣接ゾーンのセクタマークを検出することができる。従って、セクタマークを検出できれば、アドレスも読み出せるようになるので、ゾーン境界付近のシークや再生を時間を要することなく、スムーズに行うことができる。

【0035】なお、以上の実施例では、同期マークとしてセクタマークを検出する例を示したが、これ以外にも例えば、アドレスマーク、データマーク、シンクパターン、リシンクパターンなども検出できることは言うまでもない。また、情報再生装置の同期マークパターンの検出のみならず、通信信号中の同期パターンも検出することができる。

【0036】更に、実施例では、マーク長やスペース長を複数箇所測定したが、マークポジション記録方式ではマーク間隔を複数箇所測定すれば、同期パターンを検出することができる。また、本発明はマークとスペースという呼び方があまりふさわしくない光学的な情報再生以外の例えば、磁気記録のように物理的に 2 つの安定状態を交互に配置して情報を記録、再生する装置であっても適用することができる。更に、本発明は 2 値記録でなくて、3 値以上の多値記録においても、それぞれの状態の長さを検出することにより適用することができる。

【0037】また、図 2 のパターンマッチング回路では、例えば 10 T のマークのマッチングを行う場合に、1x0000000001 の 2 値データのときにパターンマッチングをとるようにしたが、これ以外にも例えば 1000000000xx1 や 1x000000000x1 のパターンにすることもできる。



そのほかのパターンマッチング回路でも同様である。なお、これは図2に示したパターンマッチング回路のシフトレジスタの空き端子の位置を変えることによって実現できる。

【0038】図6は本発明の情報再生装置の他の実施例を示したブロック図である。なお、図6では図16に示した従来装置と同一部分は同一符号を付して説明を省略することにする。図6において、113はシンセサイザ105の基準クロックを用いてSM検出回路107のSM検出信号の間隔を測定するためのカウンタ回路、114はカウンタ回路113で測定されたSM検出信号の間隔の測定値と所定の基準範囲を比較して測定値が基準範囲内にあるか否かを判定するための比較回路である。比較回路114では、通常のセクタマークの検出位置を境界としてその下方と上方でそれぞれ所定の基準範囲が決められており、SM検出信号の間隔の測定値が下方の基準範囲内にあればUP信号が出力される。また、測定値が上方の基準範囲内にあればDOWN信号が出力され、このUP、DOWN信号によってシンセサイザ105のクロック周波数が制御される。

【0039】図7はカウンタ回路113と比較回路114の具体的な構成を示したブロック図である。201はSM検出信号を所定時間遅延させるためのディレイ、202はディレイ201を介して入力されるSM検出信号でリセットされ、次のSM検出信号が入力されるまで0からカウントするためのカウンタである。即ち、SM検出信号の間隔を測定するためのカウンタである。203は次のSM検出信号がカウンタ202に入力されたときに、その時点のカウンタ202のカウント値xを入力して保持するためのラッチである。なお、ディレイ201はカウンタ202のリセットのタイミングがラッチ203のタイミングが後になるようにするためのものである。

【0040】204はラッチ203に保持されたカウント値xが予め決められた基準範囲(A<sub>1</sub>からA<sub>2</sub>の範囲)内にあるか否かを判定するための比較器である。205も同様にカウント値xが基準範囲(B<sub>1</sub>からB<sub>2</sub>の範囲)内にあるか否かを判定するための比較器である。基準範囲A<sub>1</sub>からA<sub>2</sub>及びB<sub>1</sub>からB<sub>2</sub>については、詳しく後述する。206及び207はそれぞれ比較器204、205の出力信号とディレイ208の出力信号の論理積をとるためのアンド回路である。ディレイ208は比較器204、205の出力信号とSM検出信号のタイミングを合わせるためのものである。比較器204では測定値xが基準範囲A<sub>1</sub>からA<sub>2</sub>の範囲にあったときに“1”が出力され、このときにアンド回路206ではディレイ208の出力信号と論理積をとって“1”が出力される。従って、この信号がUP信号として出力される。また、比較器205においても測定値xがB<sub>1</sub>からB<sub>2</sub>の範囲にあったときに“1”が出力され、このとき

にアンド回路207ではディレイ208の出力信号と論理積をとって“1”が出力される。この信号がDOWN信号として出力される。

【0041】次に、図7に示したカウンタ回路113及び比較回路114の動作を図8に基づいて説明する。図8(a)は装置が正常に動作しているときのSM検出信号である。通常はセクタマークは図8(a)のような周期で検出されるものとする。図8(b)はZCAV方式でフォーマットされた記録ディスクのある所定のゾーンのSM検出信号が図8(a)であったときにそのゾーンの外側に隣接するゾーンのセクタマークを検出したときのSM検出信号である。1つ外側のゾーンではSM検出信号は図8(b)のように短い周期となり、検出位置は図8(a)の通常の検出位置Zよりも左側へ移動する。ここで、もし隣接ゾーンのクロック周波数が2%だけ高いとすれば、図8(b)のSM検出信号の周期は図8

(a)よりも2%だけ短くなる。従って、このSM検出信号の周期を同一の基準クロックでカウントすれば、そのカウント値は図8(b)の方が図8(a)よりも2%小さくなる。つまり、シンセサイザ105のクロック周波数とSM検出信号の周期は比例関係にある。

【0042】図8(c)は同様にして図8(a)のゾーンの内側に隣接するゾーンのSM検出信号である。このときは、図8(c)のように通常のSM検出信号の周期よりも長くなり、その検出位置は図8(a)のゾーンの検出位置Zよりも右側へ移動する。図8(d)はディレイ201の出力信号である。所定のゾーンでSM検出回路107により図8(a)のようにセクタマークが検出され、SM検出信号が出力されると、SM検出信号は図8(d)のようにディレイ201で所定時間遅延してカウンタ202のリセット端子へ出力される。

【0043】カウンタ202はこの信号でリセットされ、これを契機にシンセサイザ105の基準クロックのカウントを開始し、次にSM検出信号が出力されるまでカウントしつづける。カウンタ202のカウント値xはラッチ203に保持され、比較器204ではそのカウント値xが図8(d)に示すようにA<sub>1</sub>からA<sub>2</sub>の範囲内にあるか否かが判定される。そして、比較器204ではカウント値xがA<sub>1</sub>からA<sub>2</sub>の範囲にあったときに

“1”が出力され、範囲外であったときは“0”が出力される。従って、再生ヘッドの読み取り位置が図8

(b)よりも更に外側のゾーンとなって図8(e)のようにSM検出信号の周期が更に短くなった場合に、測定値xはA<sub>1</sub>とA<sub>2</sub>の範囲内にはいるので、比較器204から“1”が出力され、このときにアンド回路206からUP信号が出力される。

【0044】アンド回路206のUP信号はコントローラ111及びシンセサイザ105へ出力され、シンセサイザ105のクロック周波数はこのUP信号によって1段階高くなるように切り換えられる。即ち、シンセサイ

13

ザ105のクロック周波数は記録ディスクのゾーンに対応して段階的に切り換えるようになっており、UP信号が出力されたときは読み取り位置が現在のクロック周波数のゾーンよりも外側になったときであるので、それに  
 10 応じてクロック周波数が1段階高くなるように制御される。コントローラ111はUP信号によってシンセサイザ105のクロック周波数が1段階高くなったことを認識する。また、カウンタ202はSM検出信号によってリセットされ、再び次にSM検出信号が出力されるまでクロック信号のカウントを開始する。このときのクロック周波数は切り換え後の周波数である。従って、現在の読み取り位置が現在のクロックのゾーンよりも遠く離れた位置にある場合は、測定値xは再度A<sub>1</sub> からA<sub>2</sub> の範囲にはいるようになるので再びUP信号が出力され、シンセサイザ106のクロック周波数は、更に1段階高くなるように制御される。こうしてシンセサイザ105のクロック周波数は現在の読み取り位置のゾーンの周波数に近づくように自動的に制御される。

【0045】一方、比較器205においても測定値xが図8(d)のようにB<sub>1</sub> からB<sub>2</sub> の範囲内にあるか否かが判定され、測定値xがこの範囲内にあったときに

“1”が出力される。従って、例えば図8(f)に示すように読み取り位置が図8(c)よりも更に内側のゾーンにあってSM検出信号の周期が更に長くなったときに測定値xがB<sub>1</sub> からB<sub>2</sub> の範囲にはいるので、比較器205から“1”が出力されこのときにアンド回路207からDOWN信号が出力される。DOWN信号は同様にコントローラ111及びシンセサイザ105へ出力され、シンセサイザ105のクロック周波数は1段階低くなるように制御される。そして、読み取り位置のゾーンが現在のクロック周波数のゾーンよりも遠く離れた位置であった場合は前述のような制御動作によって前記と同様にシンセサイザ105のクロック周波数は現在の読み取り位置のゾーンの周波数に近づくように制御される。

【0046】なお、図8(d)に示したA<sub>1</sub> とB<sub>2</sub> の位置、即ちSM検出信号の検出範囲の下限と上限はSM検出回路107のSM検出能力から設定するのが望ましい。つまり、SM検出回路107の許容周波数誤差の範囲に合わせてA<sub>1</sub> とB<sub>2</sub> を設定すれば、A<sub>1</sub> とB<sub>2</sub> の外側のSM検出信号は正常に検出されたSM検出信号ではない可能性が高いので、A<sub>1</sub> からB<sub>2</sub> の範囲内のSM検出信号のみ有効とし、その範囲から外れたものは無視してもよいということになる。また、図8(d)のA<sub>2</sub> とB<sub>1</sub> の位置はデータセパレータ106の周波数引き込み能力から設定するのが望ましい。即ち、A<sub>2</sub> からB<sub>1</sub> の範囲をデータセパレータ106の許容周波数誤差範囲よりも狭く設定することにより、A<sub>2</sub> からB<sub>1</sub> の間にSM検出信号が存在する場合は、正常にアドレスを再生できるので、クロック周波数を切り換える必要がなく、SM検出信号がその範囲から外れたときにクロック周波数を

14

切り換えるようにすればよい。

【0047】ここで、図6の情報再生装置では、通常はシンセサイザ105のクロック周波数はコントローラ111によって制御され、データセパレータ106ではそのクロック信号を用いて2値化回路104の2値化信号が同期化される。ところが、前述のように例えば再生ヘッドが何らかの原因で目的のトラックではなく、間違っ  
 10 た位置へシークしたような場合は、その間違っった位置での再生信号の周波数とシンセサイザ105のクロック周波数が異なり、その差が許容値を越えるとデータセパレータ106では正常にクロック信号に2値化データを同期化できなくなるので、記録ディスクのアドレスやデータを読み取ることができなくなる。

【0048】そこで、本実施例では前述のようにSM検出信号の周期をそのときのシンセサイザのクロックを使って測定し、その測定結果が2つの所定の基準範囲にあるか否かを判定して読み取り位置のゾーンが現在のクロック周波数のゾーンに対して外側にあるのか、内側にあるのかを判定し、その結果に応じてシンセサイザのクロック周波数を制御することにより、間違っ  
 20 てシークした場合であっても、シンセサイザのクロック周波数を間違っ  
 30 てシークした現在の読み取り位置のゾーンの周波数に自動的に近づけることができる。従って、間違っ  
 40 てシークした位置のアドレスを速やかに読み取ることができるので、従来のようにシーク不能な事態に陥ってなんとかアドレスを読み取るためにシンセサイザの周波数を切り換えるというような煩雑な制御をする必要がなく、短時間で本来の目的トラックへ再シークを行うことができる。

【0049】図9は図7に示したカウンタ回路113と比較回路114の他の例を示したブロック図である。図中の301及び302は前述した所定の基準範囲A<sub>1</sub> ~ A<sub>2</sub>及びB<sub>1</sub> ~ B<sub>2</sub>の期間にハイレベルとなるようなゲート信号を生成するためのゲート生成カウンタ、303及び304はゲート生成カウンタ301、302のゲート信号とSM検出信号の論理積をとって前記と同様のUP信号やDOWN信号を出力するためのアンド回路である。

【0050】図10は図9の各部の信号を示したタイムチャートである。図10(a)はSM検出信号、図10(b)はゲート生成カウンタ301の出力信号、図10(c)はゲート生成カウンタ302の出力信号である。ゲート生成カウンタ302は例えば図11に示すように3つのディレイカウンタ305~307とフリップフロップ308から構成されており、SM検出信号を起点にディレイカウンタ305でシンセサイザ105のクロックがカウントされ、またディレイカウンタ306及び307でそれぞれ所定数のクロックをカウントすることによって図10(c)のようにB<sub>1</sub> からB<sub>2</sub>の期間にハイレベルとなるようなゲート信号が生成される。また、ゲ



ート生成回路301は図11の回路からディレイカウンタ306を削除した回路で構成でき、同様にSM検出信号を起点に2つのカウンタでクロックをカウントすることによって図10(b)に示すようにA<sub>1</sub>からA<sub>2</sub>の期間にハイレベルとなるようなゲート信号が生成される。

【0051】従って、以上のような構成においても、ゲート生成カウンタ301の出力信号がハイレベルの期間にSM検出信号が出力されると、アンド回路303からUP信号が出力されるので、このUP信号によってシンセサイザ105のクロック周波数を1段階高めるようにすればよい。また、ゲート生成カウンタ302の出力信号がハイレベルの期間にSM検出信号が出力されるとDOWN信号が出力されるので、クロック周波数を1段階低くすればよい。

【0052】なお、以上の実施例では、ZCAV方式の情報再生装置について説明したが、本発明は再生周波数の異なる複数の信号を再生する情報再生装置であれば、ZCAV方式に限らず適用が可能である。また、本発明は情報伝送の分野においても同期信号及びセクタフォーマットが同一で、伝送周波数のみ異なる信号の受信再生装置にも適用することができる。

#### 【0053】

【発明の効果】以上説明したように本発明は、次の効果がある。

(1) 同期マークの検出に要求されるクロック周波数誤差を従来に比べて緩和することができるので、クロック周波数誤差がある程度あっても同期マークを信頼性を損うことなく、正しく検出することができる。

(2) 従って、記録媒体の記録領域を複数のゾーンに分割し、クロック周波数をゾーンに対応して切り換えるMC AV方式の装置においては、ゾーン境界でクロック周波数を隣接ゾーンの周波数に切り換える場合に、周波数誤差があっても隣接ゾーンの同期マークを検出することが可能となり、ゾーン境界のシークや再生をスムーズに行うことができる。

(3) SM検出信号の周期を測定し、その結果をもとにクロック信号の周波数を増減することにより、再生ヘッドが間違った位置にシークした場合に、自動的にクロック周波数をそのゾーンの周波数に近づけてアドレスを読み取るようにすることができる。従って、何らかのトラブルにより間違った位置にシークするような事態が発生しても、シーク不能に陥いることなく速やかにアドレスを読み取って本来の目的のアドレスへ再シークを行うことができる。

#### 【図面の簡単な説明】

【図1】本発明の同期マーク検出装置の一実施例を示したブロック図である。

【図2】図1の実施例のパターンマッチング回路1の具体的な構成を示した回路図である。

【図3】図1の実施例の動作を示したタイムチャートで

ある。

【図4】本発明の同期マーク検出装置の他の実施例を示したブロック図である。

【図5】本発明の同期マーク検出装置の更に他の実施例を示したブロック図である。

【図6】本発明の情報再生装置の一実施例を示したブロック図である。

【図7】図6の実施例のカウンタ回路及び比較回路の具体例を示した回路図である。

【図8】図7の回路の各部の信号を示したタイムチャートである。

【図9】図6の実施例のカウンタ回路及び比較回路の他の例を示した回路図である。

【図10】図9の回路の各部の信号を示したタイムチャートである。

【図11】図9の回路のゲート生成カウンタの構成例を示した回路図である。

【図12】ISO規格による書き換え型光ディスクのセクタフォーマットを示した図である。

【図13】図12のセクタマークのパターンを示した図である。

【図14】ISO規格のテクニカルレポートによるセクタマーク検出回路を示した図である。

【図15】図14のセクタマーク検出回路によるセクタマーク検出動作を説明するための図である。

【図16】一般的なZCAV方式の情報再生装置を示したブロック図である。

#### 【符号の説明】

1~9 パターンマッチング回路

11~19 パルス幅生成回路

21~29 ディレイ回路

30 加算回路

31 レベルスライス回路

32 パルス幅一定化回路

33 シフトレジスタ

34 インバータ

35 アンド回路

101 記録ディスク

104 2値化回路

40 105 シンセサイザ

106 データセパレータ

107 SM検出回路

108 復号回路

113 カウンタ回路

114 比較回路

201, 208 ディレイ

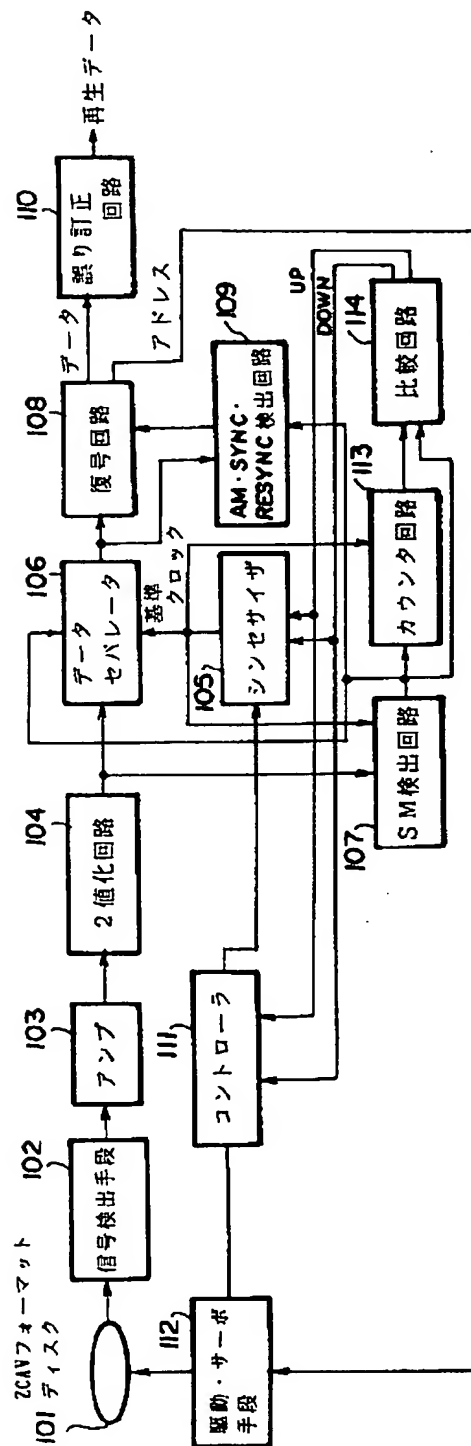
202 カウンタ

203 ラッチ

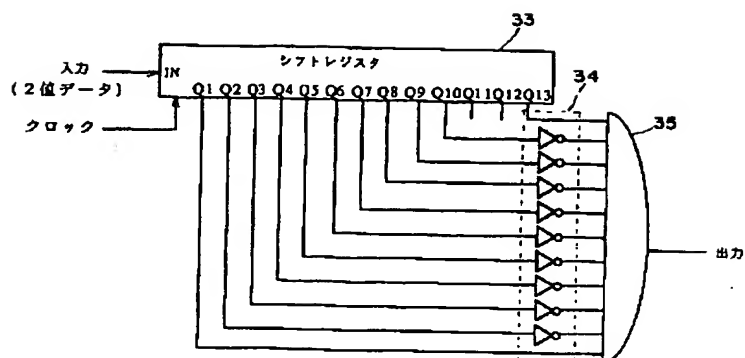
204, 205 比較器

50 206, 207 アンド回路

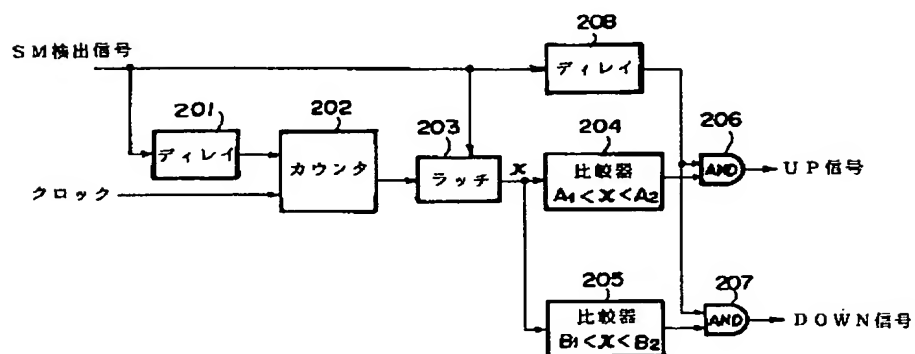
【図 6】



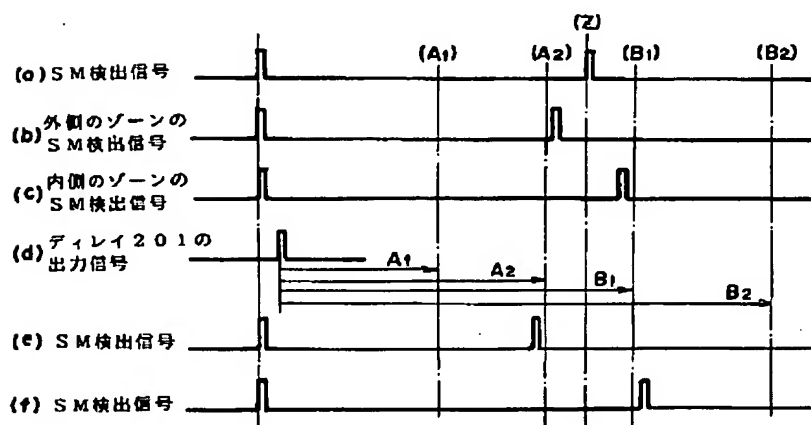
【図 2】



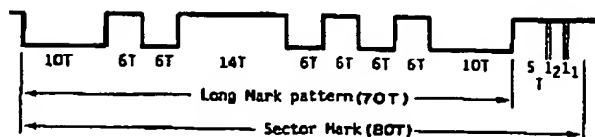
【図 7】



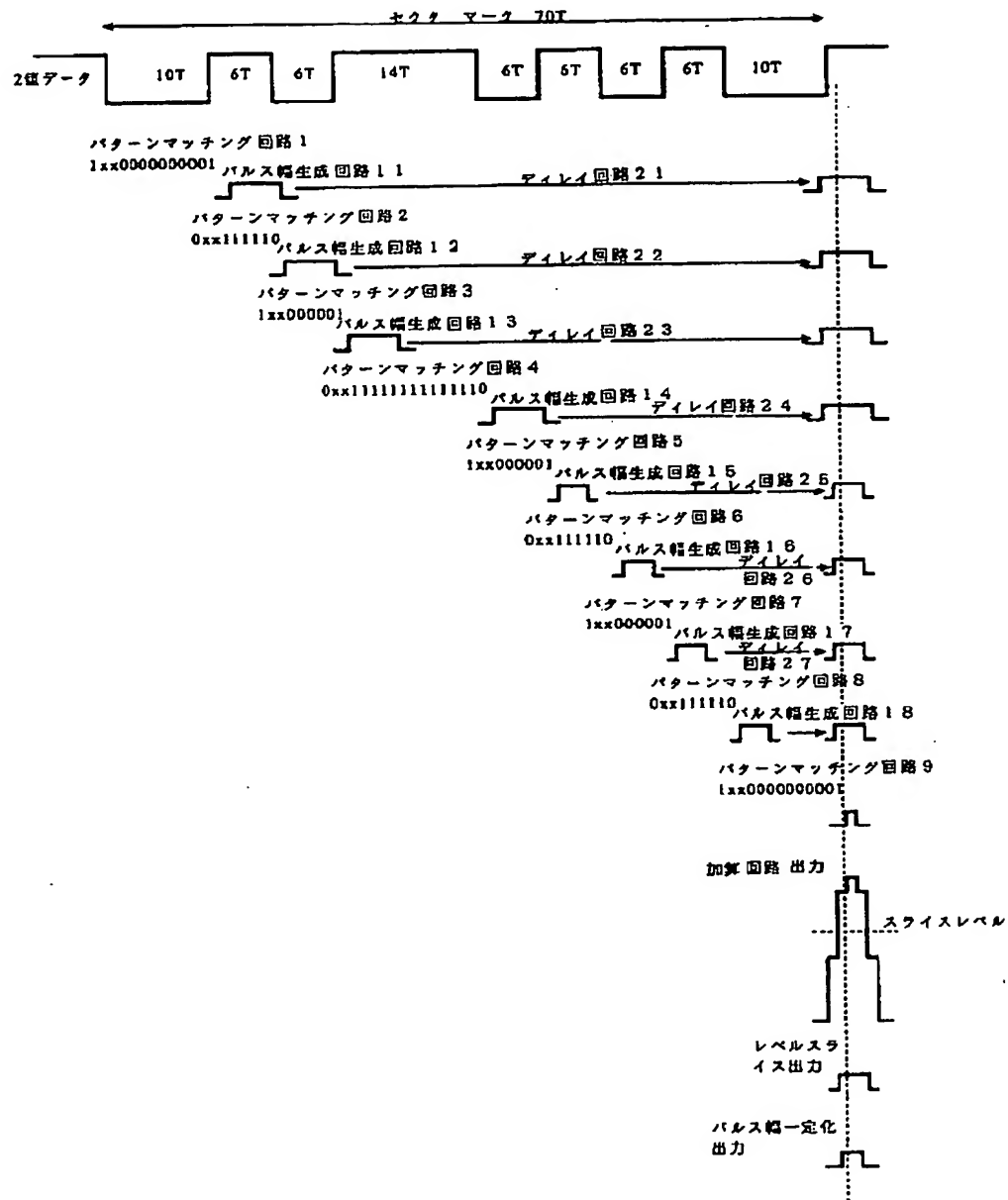
【図 8】



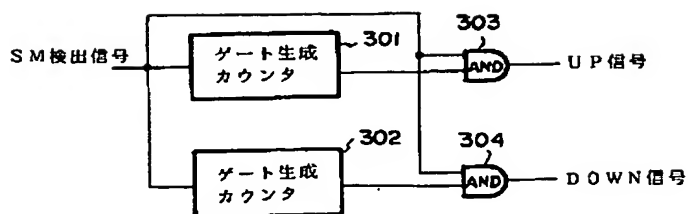
【図 13】



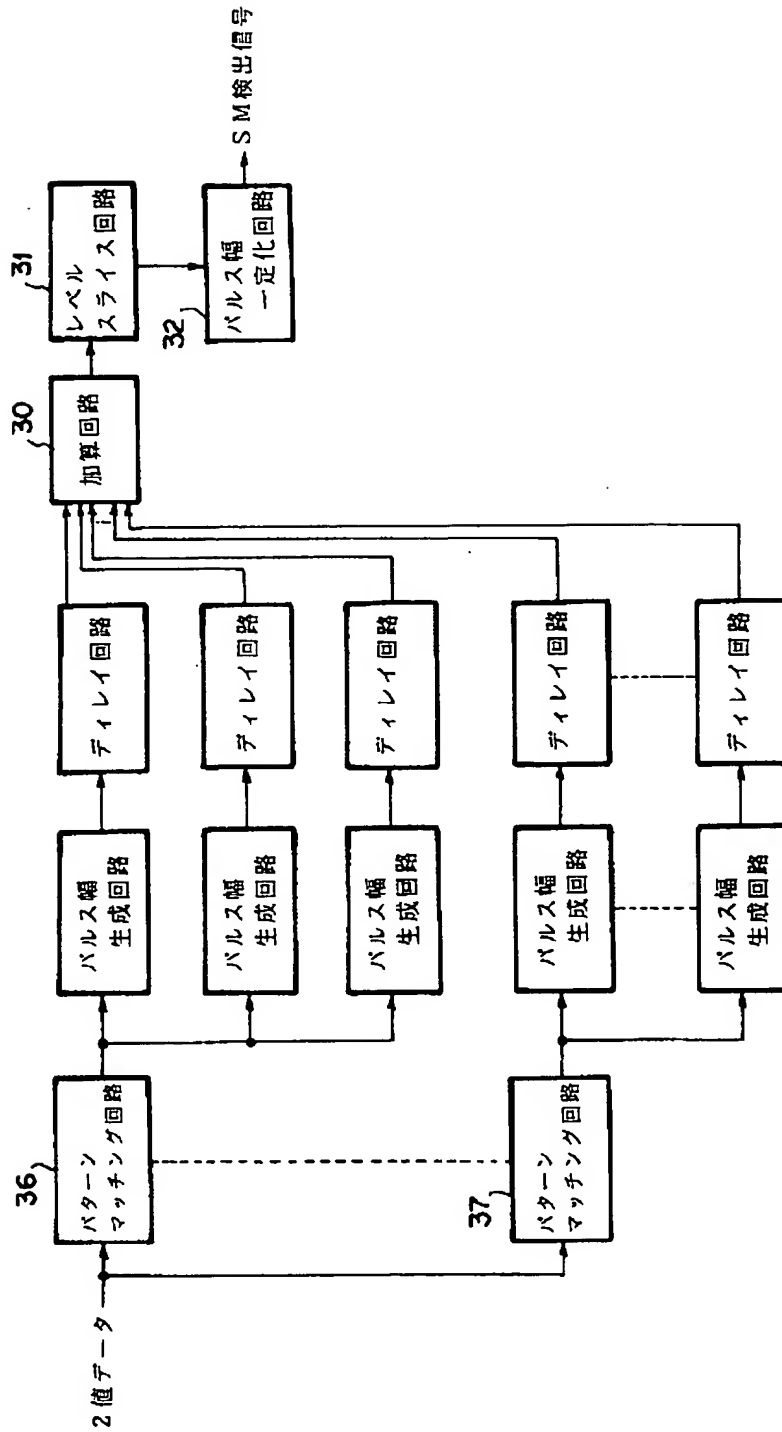
【図3】



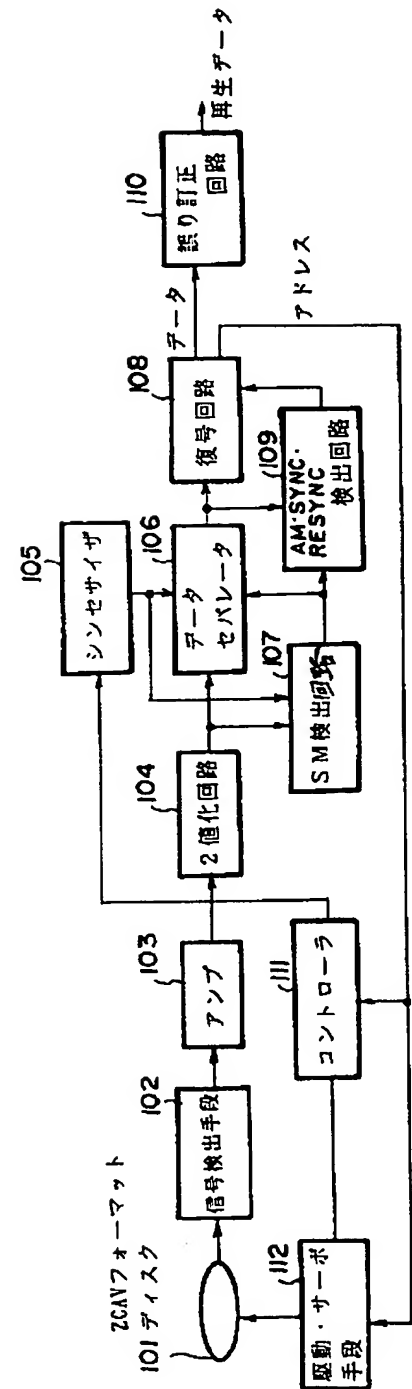
【図9】



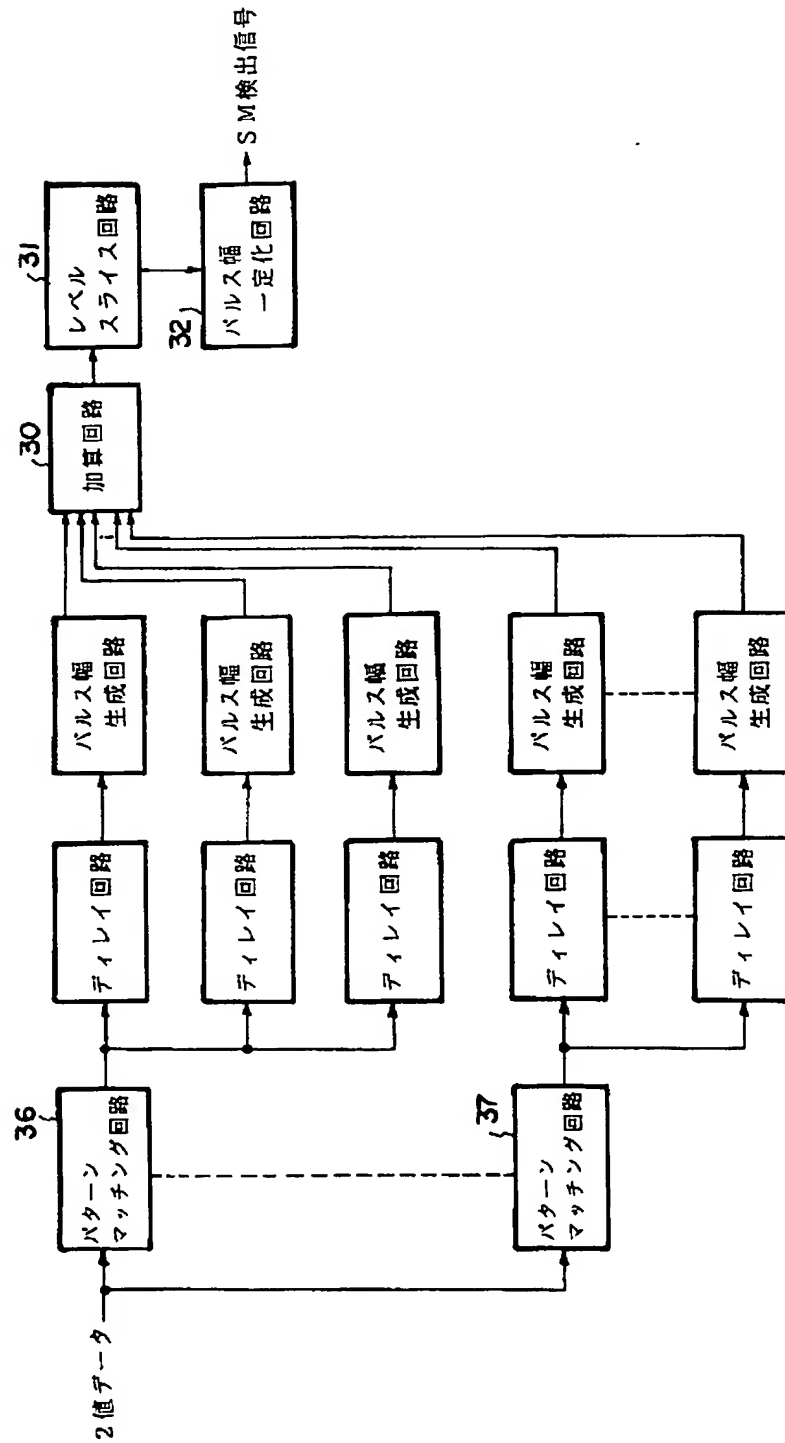
【図4】



【図16】

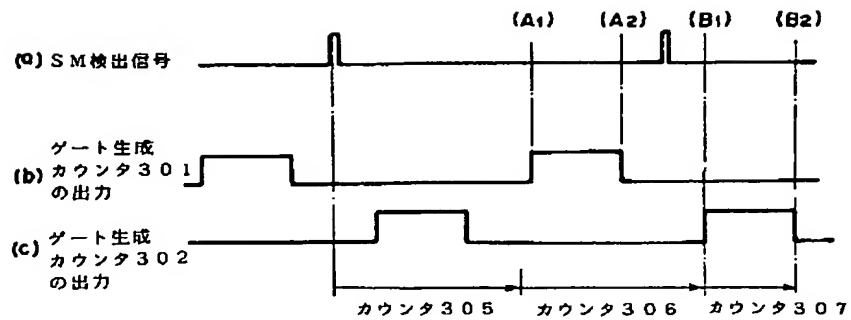


【図 5】

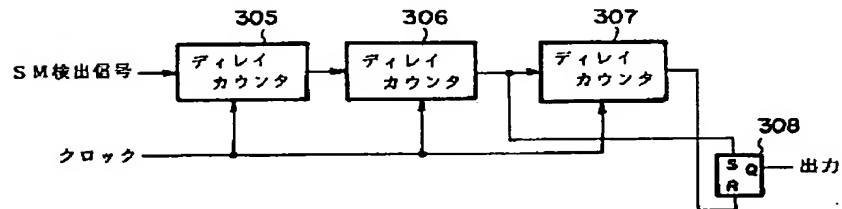




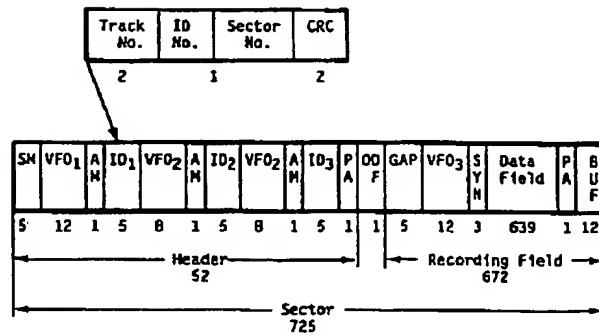
【図10】



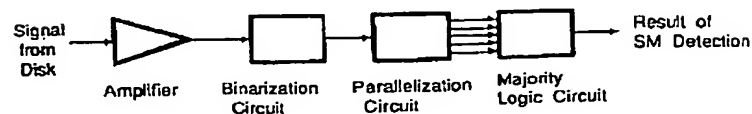
【図11】



【図12】



【図14】



【図15】

